

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

BLACK BORDERS

- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS

BLACK OR VERY BLACK AND WHITE DARK PHOTOS

- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-308526

(43)Date of publication of application : 19.11.1993

(51)Int.Cl.

H04N 1/41
G06F 15/66
H04N 1/40
H04N 1/413
H04N 1/46

(21)Application number : 04-109570

(71)Applicant : CANON INC

(22)Date of filing : 28.04.1992

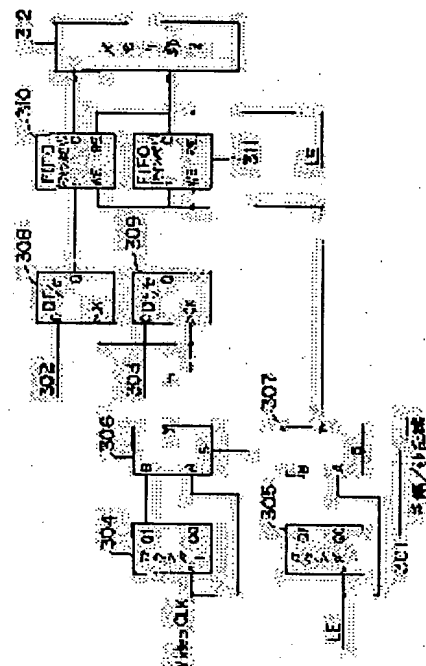
(72)Inventor : MATSUKUBO TAKESHI

(54) IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To efficiently utilize a memory.

CONSTITUTION: At the time of compression, a control signal 301 is 'H' and judge signals 302 and 303 of black characters judged through an image area separation circuit and an edge detection circuit are one picture element sampled into four picture elements by DF/F 308 and 309 corresponding to a video clock (VIDEOCLK) in a main scanning direction frequency divided into four stages by a counter 304 concerning the main scanning direction. Further, one line sampling into four lines is performed by line memories 310 and 311 by main scanning enable (LE) frequency divided into four stages by a counter 305 concerning a sub scanning direction, and those signals are read every time and stored in a memory 312 for judging black characters.



LEGAL STATUS

[Date of request for examination]

28.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3147250

[Date of registration]

12.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(11)特許出願公開番号

特開平5-308526

(43)公開日 平成5年(1993)11月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/41	C	9070-5C		
G 0 6 F 15/66	3 3 0 B	8420-5L		
H 0 4 N 1/40	F	9068-5C		
1/413	D	9070-5C		
1/46		9068-5C		

審査請求 未請求 請求項の数 2 (全 12 頁)

(21)出願番号 特願平4-109570

(22)出願日 平成4年(1992)4月28日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 松久保 勇志

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

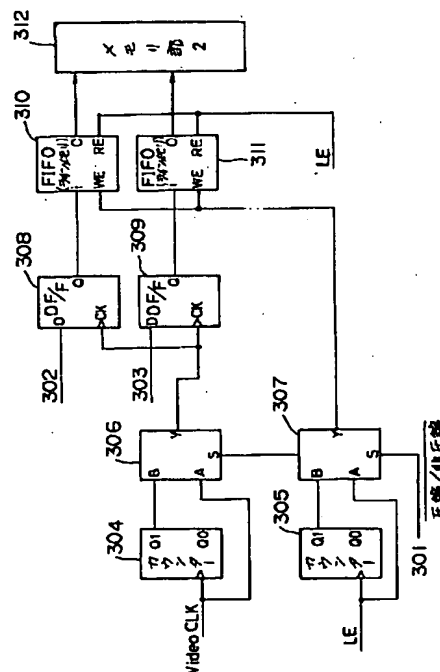
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 画像処理装置

(57) 【要約】

【目的】 メモリを効率的に利用できる画像形成装置を提供する。

【構成】 圧縮時に、制御信号 301 が“H”で、像域分離回路 106、エッジ検出回路 107 を通じて判定された黒文字の判定信号 302、303 が、主走査方向に関してはカウンタ 304 により 4 分周された主走査方向のビデオクロック (VIDEO CLK) によって DF/F 308、309 で 4 画素に 1 画素サンプリングされる。更に、副走査方向に関してはカウンタ 305 により 4 分周された主走査イネーブル (LE) によってラインメモリ 310、311 で 4 ラインに 1 ラインサンプリングされ、毎回読み出され、黒文字判定用のメモリ 312 に記憶される。



【特許請求の範囲】

【請求項1】 色分解された画像データを圧縮して蓄積する機能を有する画像処理装置において、画像データに基づいて画像の属性を判定する属性判定手段と、

該属性判定手段での判定結果を蓄積する蓄積手段と、該蓄積手段に蓄積する判定結果の解像度を、画像データの圧縮に応じて変更する変更手段とを有することを特徴とする画像処理装置。

【請求項2】 前記属性判定手段は、画像データの文字部を抽出することにより画像の属性を判定することを特徴とする請求項1記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば色分解された画像データを圧縮して蓄積する機能を有する画像処理装置に関するものである。

【0002】

【従来の技術】近年、カラー画像データをデジタル的に処理し、カラープリンタ等に出力してカラー画像を得るカラープリント装置や、カラー原稿を色分解して電氣的に読み取り、得られたカラー画像データを用紙上にプリント出力することによりカラー画像複写を行う、いわゆるデジタルカラー複写機等のカラー印字システムの発展はめざましいものがある。また、これらの普及に伴い、カラー画像の印字品質に対する要求も高くなってきており、特に黒い文字や黒細線をより黒く、シャープに印字したいという要求に加え、カラー出力の高速化に対する要求も高くなってきている。即ち、高速化の実現のために、従来の色分解されたM、C、Y、Kの4色分の原稿走査を行う1ドラム方式から1回原稿走査の4連ドラム方式を採用する方法が提案されているが、得られた4色分の信号に基づいてそのままメモリに取り込むと、大容量のメモリが必要となり価格的に問題があるので画像の圧縮を施して画像メモリの縮小化を図っている。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来例では、メモリの節約という観点から画像を圧縮した場合、画質の劣化は避けられず、黒文字や黒細線を判定する黒文字信号だけ生のイメージで画像データと共にメモリに取り込むのは無駄であった。また、高画質という観点に着目した場合、画像を圧縮せずに画像メモリをフルに持ったときの黒文字判定信号の解像度の取扱いについて考慮する必要もあった。

【0004】本発明は、上記課題を解決するために成されたもので、メモリを効率的に利用できる画像処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明の画像処理装置は以下の構成を有する。

【0006】色分解された画像データを圧縮して蓄積する機能を有する画像処理装置において、画像データに基づいて画像の属性を判定する属性判定手段と、該属性判定手段での判定結果を蓄積する蓄積手段と、該蓄積手段に蓄積する判定結果の解像度を、画像データの圧縮に応じて変更する変更手段とを有する。

【0007】また好ましくは、前記属性判定手段は、画像データの文字部を抽出することにより画像の属性を判定することを特徴とする。

【0008】

【作用】以上の構成において、画像データに基づいて画像の属性を判定し、その判定結果を蓄積する際に、画像データの圧縮に応じて判定結果を解像度変換するように動作する。

【0009】

【実施例】以下、図面を参照して本発明に係る好適な一実施例を詳細に説明する。

【0010】図2は、実施例における画像形成装置の機構部の構成を示す図である。

【0011】201は原稿台ガラスであり、読み取られるべき原稿202が置かれる。原稿202は照明203によって照射され、ミラー204、205、206を経て、光学系207によりCCD208上に像が投影される。ここで、CCD208はR（レッド）、B（ブルー）、G（グリーン）の3ラインのCCDラインセンサにより構成される。更に、モータ209によりミラー204、照明203を含む第1のミラーユニット210が速度Vで駆動され、ミラー205、206を含む第2のミラーユニット211が速度1/2Vで駆動され、原稿202の全面が走査される。

【0012】212は画像処理部であり、CCD208で読み取った画像情報を電気信号として処理し、プリント信号として出力する部分である。213、214、215、216は半導体レーザであり、画像処理部212よりの出力信号によって駆動される。各半導体レーザによって発光されたレーザ光はプリントごとのポリゴンミラー217、218、219、220によってプリント色ごとの感光ドラム225、226、227、228上に走査され潜像が形成される。221、222、223、224はそれぞれブラック（Bk）、イエロー（Y）、シアン（C）、マゼンタ（M）のトナーによって潜像を現像するための現像器である。

【0013】用紙カセット229、230、231及び手差しトレイ232の何れかが選択され、給紙された用紙はレジストローラ233を経て転写ベルト234上に吸着されて搬送される。そして、給紙タイミングと同期が取られ、感光ドラム228、227、226、225に現像されている各色の像が用紙に転写される。各色のトナーが転写された用紙は、分離／搬送され、定着されて排紙トレイ236上に排紙される。

3

【0014】〔画像信号の流れ〕図1は、上述した画像処理部の構成を示す概略ブロック図である。上述の如くカラー画像読み取り部によって原稿の読み取り走査が行われ、原稿からの反射光がカラー読み取り用CCD101において色分解されて入光される。カラー原稿のR（レッド）、G（グリーン）、B（ブルー）色成分に応じた電気信号は各色毎にアナログ処理回路102でサンプルホールドされ、黒補正、白補正、色バランス等の処理を受けた後、A/D変換器103でデジタル化され、シェーディング補正回路104で画像読み取り部のシェーディング特性が補正され、補正された各RGB信号が次の濃度変換回路105でLOG特性に合わせて色材に対応する色データC（シアン）、M（マゼンタ）、Y（イエロー）に変換される。

【0015】この変換されたC、M、Yのデータは、I/Oポート113により詳細は後述する圧縮モードが選択されたとき、エンコーダ部108にて圧縮コード化され、メモリ109に格納された後、デコーダ部110にて伸張される。

【0016】また、シェーディング補正された各RGB信号は、像域分離回路106で文字と画像領域が分離されると同時に、エッジ検出回路107でエッジが検出され、黒い文字や黒細線の判定が行われる。そして、各判定結果はI/Oポート116からの圧縮／非圧縮信号に応じて詳細は後述する解像度変換が行われ、メモリ部111に記憶される。その後、UCR回路112に入力されてK（ブラック）の値が以下の如く算出される。

【0017】 $K = \min(C, M, Y)$

そして、色補正された各色データCMYKは、カラープリンタ部での印写毎に応じてガンマ補正回路113で補正され、フィルタ114を通じてエッジ強調、スムージング処理が施され、カラープリンタ部115へ送られる。

【0018】図3は、圧縮／非圧縮信号に応じて黒文字の判定結果を解像度変換する回路例を示す図である。まず圧縮時には、制御信号301が“H”であり、像域分離回路106、エッジ検出回路107を通じて判定された黒文字の判定信号302、303は、まず主走査方向に関してはカウンタ304により4分周された主走査方向のビデオクロック（VIDEO CLK）によってDF/F308、309で4画素に1画素サンプリングされる。更に、副走査方向に関してはカウンタ305により4分周された主走査インエーブル（LE）によってラインメモリ310、311（以下「FIFO」）で4ラインに1ラインサンプリングされ、毎回読み出され、黒文字判定用のメモリ312に記憶される。

【0019】図4は、図3に示す回路でサンプリングされた画素の出力イメージを示すものである。図示するように、主走査、副走査方向共に4回に1回サンプリングすることにより、結果的に400dpiイメージの判定

4

信号を100dpiイメージに変換し、解像度を低下させている。

【0020】また、非圧縮の場合、制御信号301を“L”にすることで、セクタ306、307で分周されないCLKやLEが選択され、400dpiイメージのままメモリ312に記憶することができる。

【0021】〔データ圧縮の系〕ここで、図1に戻り、符号化された信号をメモリに格納するデータ圧縮の系について説明する。この符号化は、エンコーダ部108によりデータ圧縮される。例えば、図4に示す圧縮する4画素×4ラインの模式図について考えると、その1マスが1画素に相当し、各画素にRGB3色のデータがそれぞれ8ビットずつある。これを4画素×4ライン、即ち、16画素分のデータを1ブロックとして L^* 、 a^* 、 b^* の色成分信号に変換し、変換された16画素×3色×8ビット=384ビットのデータを1/12の固定長となるように圧縮し、32ビットのデータとする。尚、この圧縮には、例えば、ベクトル量子化や直交変換符号化が用いられる。

【0022】ここで、圧縮された32ビットデータは、画像データAとしてメモリ部109に格納され、4色同時にCMYKそれぞれのデコーダ部110に画像データBとして送られる。そして、CMYKそれぞれ24ビットにデータ伸張され、それぞれのマスキング部112によりマスキングされてCMYKそれぞれ8ビットずつの画像データに復元される。

【0023】このように、画像データの圧縮、記憶、伸張のステップが必要なのは、図2に示すような各色毎の像形成部の位置が相互にずれているプリンタの場合、ある時点において、各像形成部が必要とする画像データの画面上の位置が互いに異なるためであり、その時間的なずれを補償するための遅延手段として記憶手段が用いられる。また、圧縮、伸張を行うのは、画像データ量を減少させることにより、記憶手段の容量を小さく抑えるためである。

【0024】〔データ非圧縮の系〕次に、画像データをそのままメモリに格納する系について、図5、図6に示す3つのパス①②③に従って以下に説明する。

【0025】まず、パス①では、LOG変換506で変換されたCMYの画像データがバスセクタ507のA入力に入力され、そのまま出力される（この時、K出力は何が出力されていても構わない）。そして、セクタ509を通じてメモリデータコントローラ510に入力され、それぞれの色毎にメモリアドレスコントローラ511で与えられたアドレスのメモリ部512に格納される（この時、メモリ部のKは何であっても構わない）。

【0026】次に、パス②では、メモリ部512からのCMYの画像データがマスキング・UCR部514でマスキングされる。ここで、マスキングされた画像データCMYKは、セクタ515からバスセクタ507の

B入力に入力され、そのまま出力され、メモリデータコントローラ510を通して再度メモリ部512に今度はCMYKの画像データとして格納される。この時、メモリ部512は読み出しと書き込みを同時に処理できないため、読み出し制御時には、ラインメモリFIFOに一時格納し、書き込み制御時には、再びメモリ部512に入る動作が交互に繰り返される。

【0027】そして、バス③では、プリンタ部のCMYKのドラムのタイミングに合わせて画像データCMYKをメモリ部512から読み出し、メモリデータコントローラ510を通してマスキング・UCR部514で今度はマスキングせず、スルーの状態で出力し、γ補正部516に画像データが渡される。

【0028】〔メモリ部の構成〕次に、メモリ部について説明する。

【0029】まず、メモリアドレスコントローラ511は、図7に示すように、主走査方向(X方向)のアップダウンカウンタ601と、副走査(Y方向)のアップダウンカウンタ602と、両方のカウンタの出力を切り換えるセレクト603と、更に各カウンタの出力をメモリ606(この例ではDRAMであるが、それ以外でも構わない)のアドレスに変換する座標-アドレス変換器604と、及びRAS、CAS、WE信号(何れもローアクティブ信号)を発生するメモリ制御部とから構成されている。ここで、セレクト603のセレクト信号をROT0とし、X、Yカウンタ601、602のアップ・ダウンの切り換え信号をそれぞれROT1、ROT2とすると、これら3ビットの信号により、図8に示すような8種類の画像を出力することができる。

【0030】次に、メモリ部512は、図9に示すように、一つ又は複数のデータ幅を持つDRAMのモジュール構造となっており、ここでは、8ビットのデータ幅を持つDRAMモジュールが4つある場合について考える。このDRAMモジュールは複数個の種類があり、データ幅が同じで、それぞれのアドレス空間が異なるものである。例えば、A3の紙サイズを400dpiでCMYKそれぞれ8ビットずつで格納しようとなると、約1Gビット、即ち、アドレス32Mビット(=2²⁵ビット)×データ32ビットが必要となる。それに対し、4画素×4ライン単位で1/12に圧縮した場合、約2Mビット、即ち、アドレス2Mビット(=2²¹ビット)×データ32ビットが必要となる。従って、同じA3サイズの画像情報を格納するためには、データ非圧縮の系では、25ビットのアドレス空間があるDRAMモジュールを用い、データ圧縮の系では、21ビットのアドレス空間のDRAMモジュールを用いれば良いことになる。

【0031】更に、これらを区別するために、図9に示すように、DRAMモジュールにはそれぞれのアドレス空間によって異なるモード信号MODが設けてあり、不図示のCPU又はそれに付随したI/Oポートにより、

メモリ部512がどのくらいのアドレス空間を有するかを検知することができる。

【0032】〔データ圧縮の系とデータ非圧縮の系の切り換え〕データ圧縮の系とデータ非圧縮の系の切り換えは、図5、図6に示すセクタ509とセクタ515により切り換えられ、そのセレクト信号CSELは不図示のCPU又はそれに付随するI/Oポート(図1の116)より出力される。

【0033】この切り換えは上述のDRAMモジュールのモード信号MODをCPUが検知することによって行われる。例えば2Mビットのアドレス空間を持ったDRAMモジュールが接続されている場合には、データ圧縮の系でメモリに格納し、32Mビットのアドレス空間を持ったDRAMモジュールが接続されている場合には、データ非圧縮の系でメモリに格納する。

【0034】〔変形例〕図10は、変形例における黒文字判定部の制御例を示す回路図である。まず制御信号403を“H”(画像圧縮時)にすると、カウンタ416により主走査方向のCLKを2分周した信号と4分周した信号がOR417に入力され、その出力信号がAND408を通してセクタ404の切り換え信号として入力される。これにより、セクタ404に入力される像域分離信号401は4回に1回サンプリング(主走査方向)される。即ち、DF/F405からの信号は1クロック分が4クロック分に水増しされてセクタ406に入力される。

【0035】また、カウンタ418により副走査方向の同期信号であるHSYNCを2分周した信号と4分周した信号がOR419に入力され、その出力信号がAND409を通してセクタ406の切り換え信号として入力される。これにより、DF/F405からの信号は4回に1回サンプリング(副走査方向)され、FIFO407からの信号が1HSYNCが4HSYNC分に水増しされて100dpiのイメージでメモリ部420に送られる。

【0036】図11は、図10に示す回路の動作を示すタイミングチャートである。ここで、CLK2はCLKの2分周された値、CLK4は4分周された値、HSYNC2はHSYNCの2分周された値、HSYNC4は4分周された値である。

【0037】この時の出力イメージは、図12に示すように、前述した図4と同じである。また、エッジ検出信号402の系についても上述の像域分離信号401と同様である。

【0038】次に、制御信号403を“L”(非圧縮時)にすると、上述のセクタ404、410、406、412の切り換え信号がそれぞれのAND408、414、409、415によってマスクされ、400dpiイメージそのままメモリ部420に送られる。

【0039】以上説明した実施例によれば、画像の圧

縮、非圧縮モードに応じて黒文字検知信号の解像度を切り換えることにより、メモリの節約ができると共に、効率的な使用が可能となる。

【0040】尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。

【0041】また、本発明はシステム或いは装置にプログラムを供給することによって達成される場合にも適用できることは言うまでもない。また、画像の圧縮、非圧縮に限らず画像を圧縮する際の単位となるブロックサイズに応じて属性データの解像度を変更するようにしてもよい。

【0042】

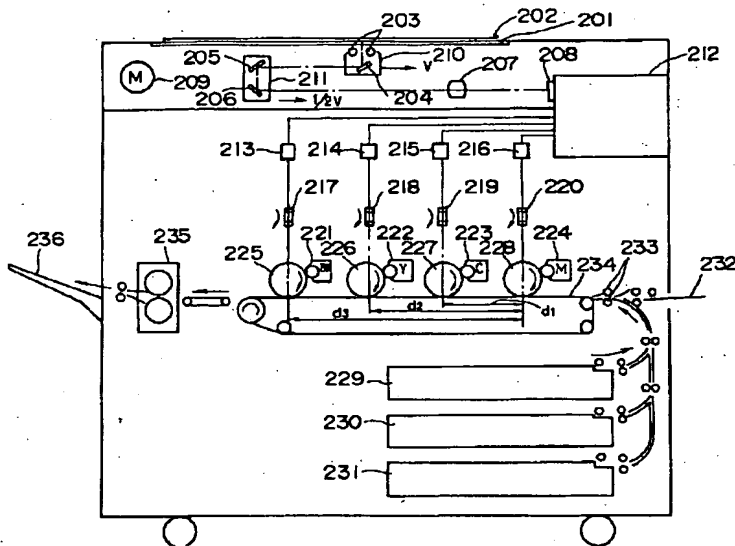
【発明の効果】以上説明したように、本発明によれば、メモリを効率的に使用することが可能となる。

【図面の簡単な説明】

【図1】実施例における画像形成装置の構成を示す概略ブロック図である。

【図2】実施例における画像形成装置の機構部の構成を示す図である。

【図2】



【図3】実施例における黒文字判定部の制御を示す回路図である。

【図4】4画素×4ラインの模式図と出力イメージとを示す図である。

【図5】実施例におけるデータ圧縮、非圧縮の流れを示す図である。

【図6】実施例におけるデータ圧縮、非圧縮の流れを示す図である。

【図7】図5に示すメモリアドレスコントローラの構成を示す図である。

【図8】実施例におけるメモリ部からの出力パターンを示す図である。

【図9】本実施例におけるメモリ部の構成を示す図である。

【図10】変形例における黒文字判定部の制御を示す回路図である。

【図11】図10に示す回路の動作を示すタイミングチャートである。

【図12】変形例における出力イメージを示す図である。

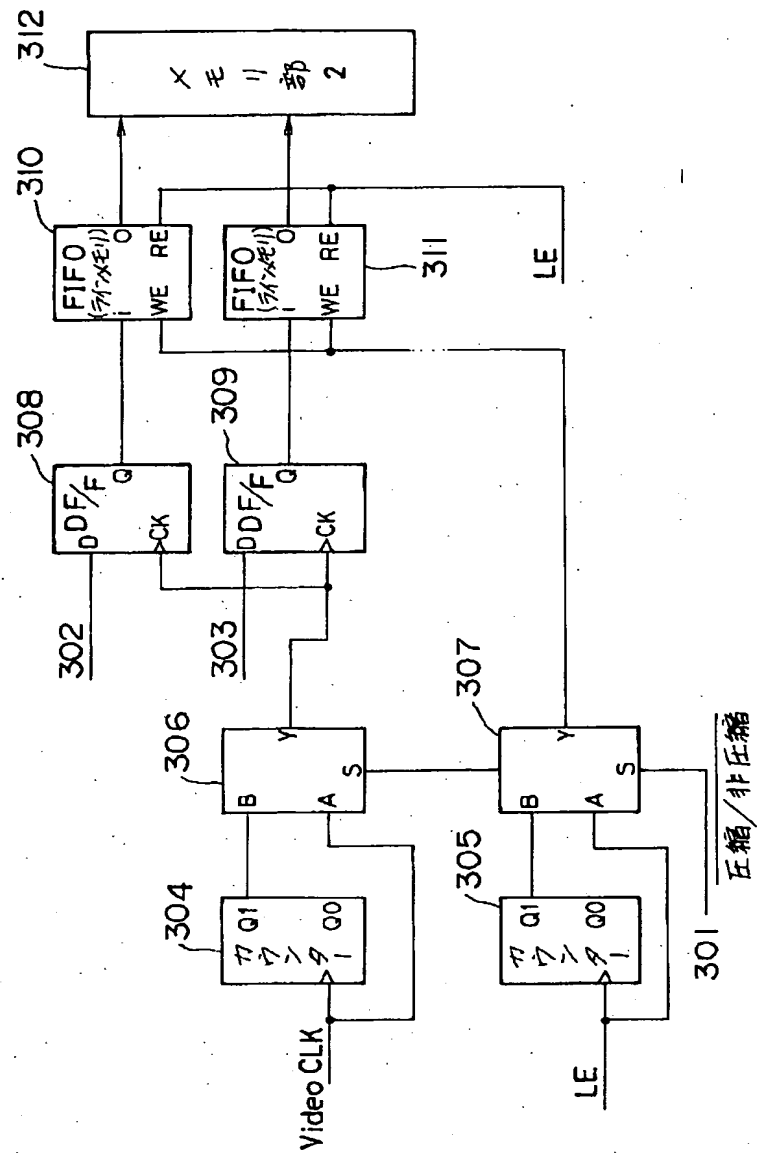
【図4】



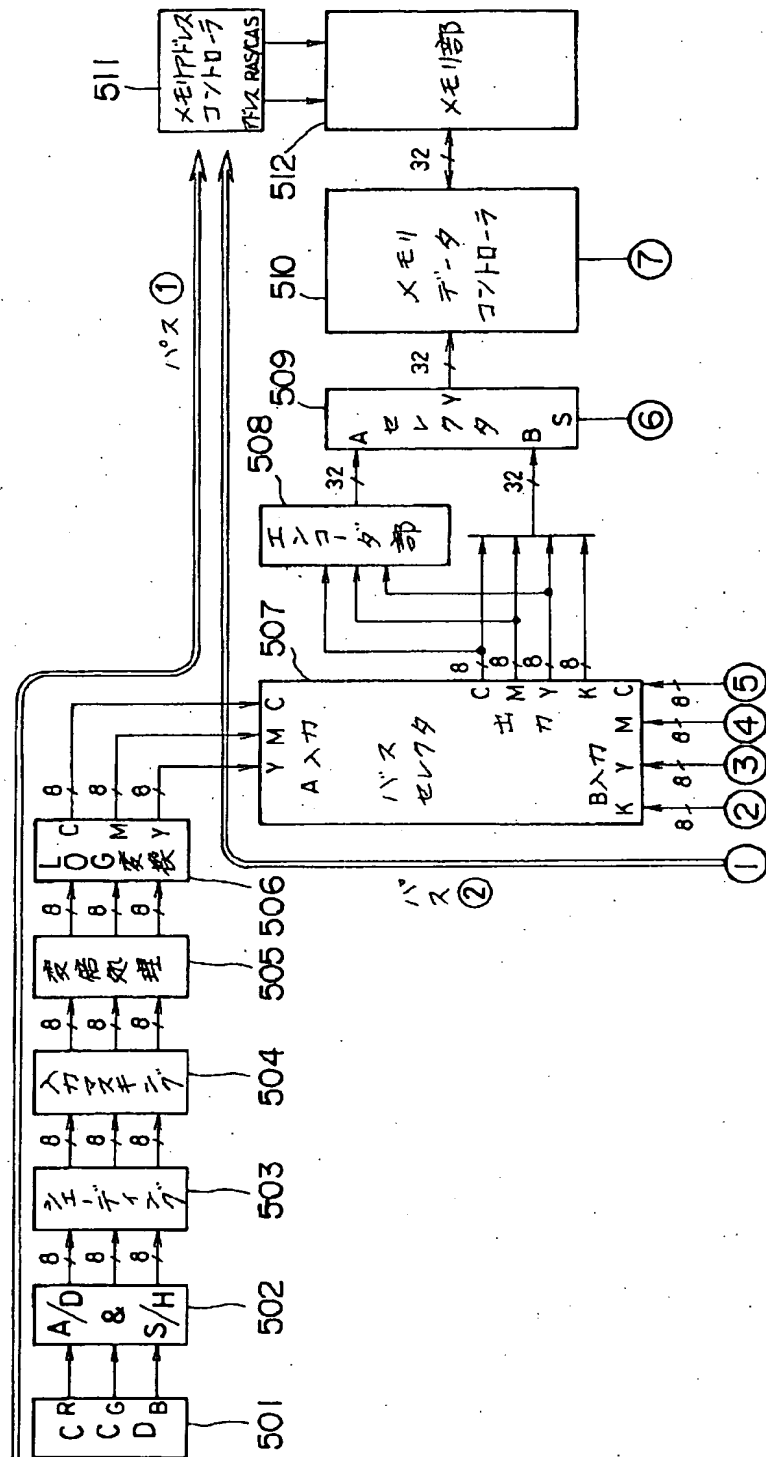
Figure 1 is a block diagram of a video processing system. The system includes the following components and their interconnections:

- 101 CPU**: Connected to **102 Arithmetic Unit**, **103 A/D Converter**, **104 Signal Processor**, **105 Level Detector**, **108 Encoder**, **110 Decoder**, **112 UCR**, **113 Y-Correction Unit**, **114 Filter**, and **115 Printer**.
- 102 Arithmetic Unit**: Connected to **101 CPU** and **103 A/D Converter**.
- 103 A/D Converter**: Connected to **101 CPU** and **104 Signal Processor**.
- 104 Signal Processor**: Connected to **103 A/D Converter** and **105 Level Detector**.
- 105 Level Detector**: Connected to **104 Signal Processor** and **108 Encoder**.
- 108 Encoder**: Connected to **105 Level Detector** and **110 Decoder**.
- 110 Decoder**: Connected to **108 Encoder** and **112 UCR**.
- 112 UCR**: Connected to **110 Decoder** and **113 Y-Correction Unit**.
- 113 Y-Correction Unit**: Connected to **112 UCR** and **114 Filter**.
- 114 Filter**: Connected to **113 Y-Correction Unit** and **115 Printer**.
- 115 Printer**: Connected to **114 Filter**.
- 109 Memory 1**: Connected to **101 CPU** and **108 Encoder**.
- 111 Memory 2**: Connected to **101 CPU** and **110 Decoder**.
- 106 Image Separation Unit**: Connected to **105 Level Detector** and **107 Edge Detection Unit**.
- 107 Edge Detection Unit**: Connected to **106 Image Separation Unit** and **116 I/O Port**.
- 116 I/O Port**: Connected to **107 Edge Detection Unit** and **117 Compression/Decompression Unit**.
- 117 Compression/Decompression Unit**: Connected to **116 I/O Port** and **118 Black Level Setting Unit**.
- 118 Black Level Setting Unit**: Connected to **117 Compression/Decompression Unit**.

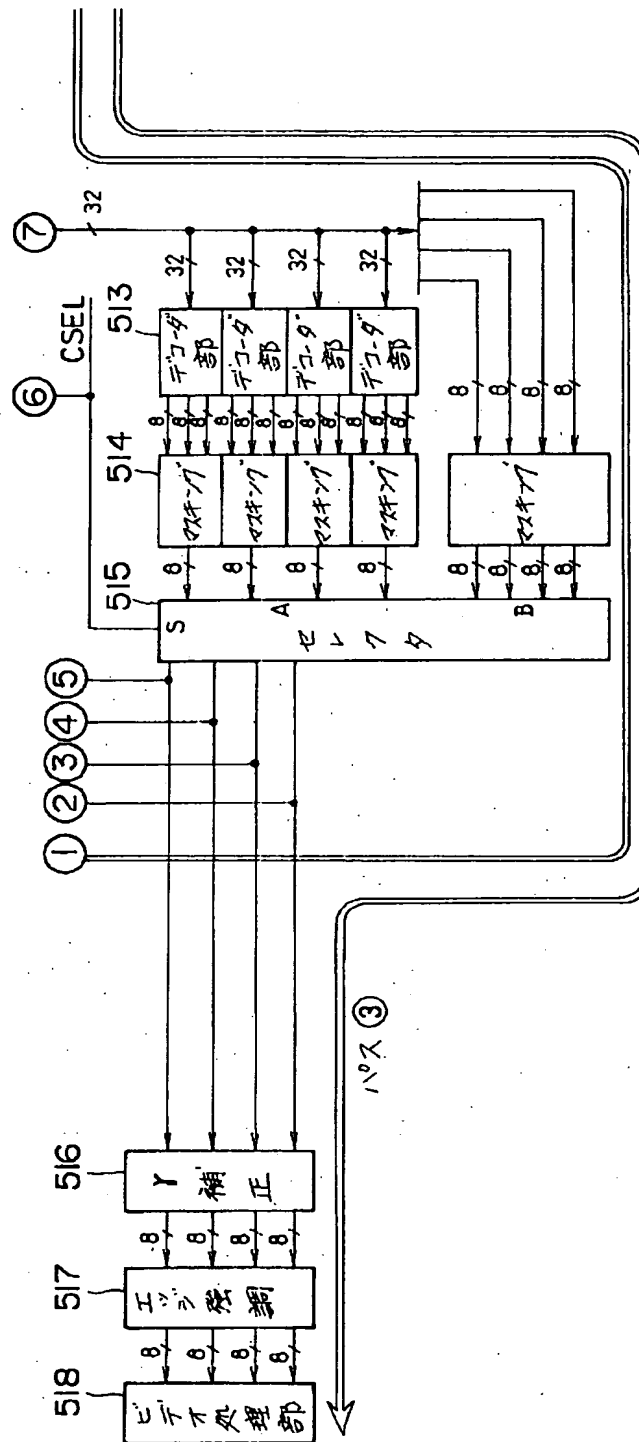
【図3】



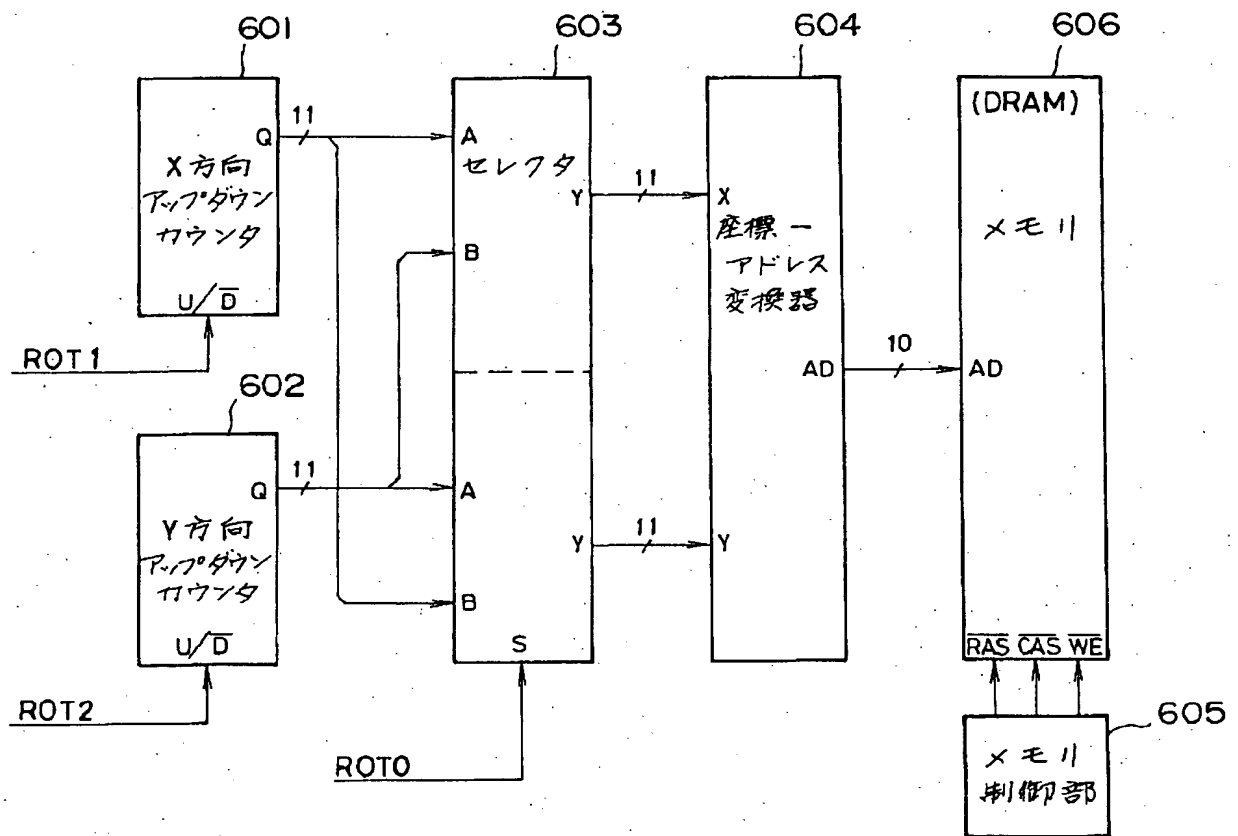
【図5】



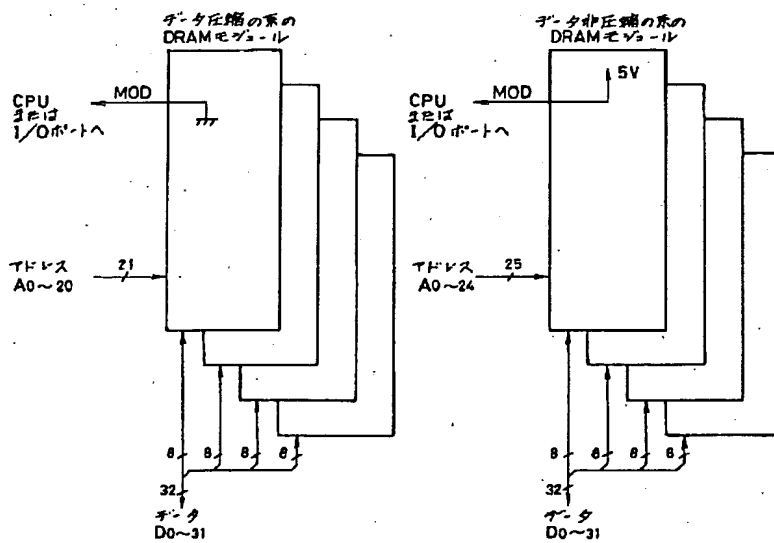
【図6】



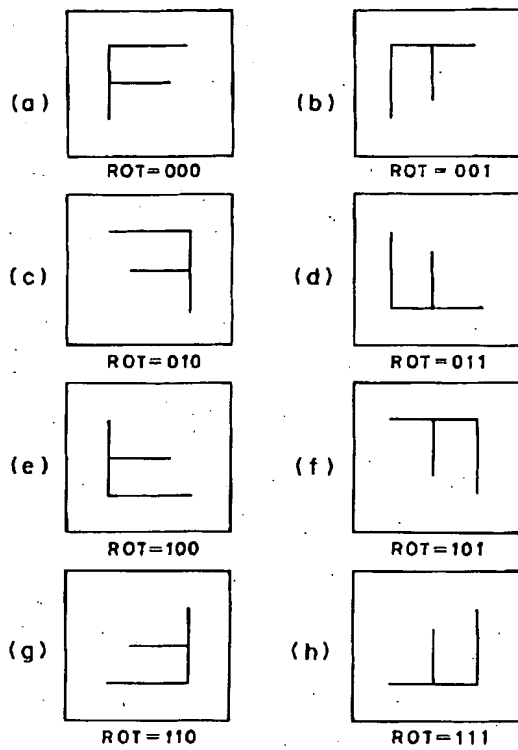
【図7】



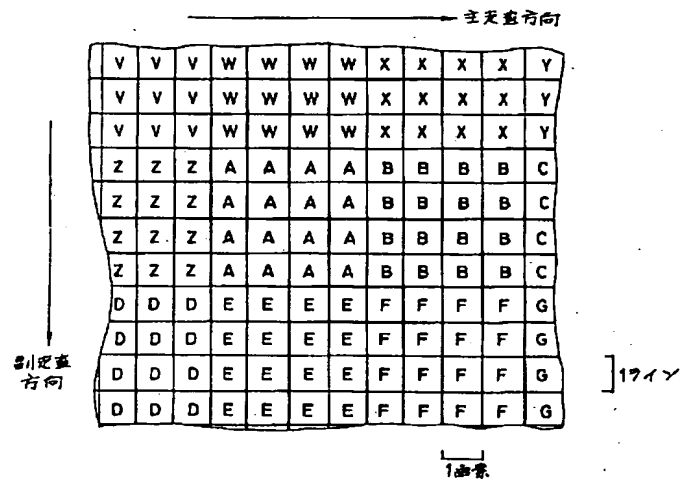
【図9】



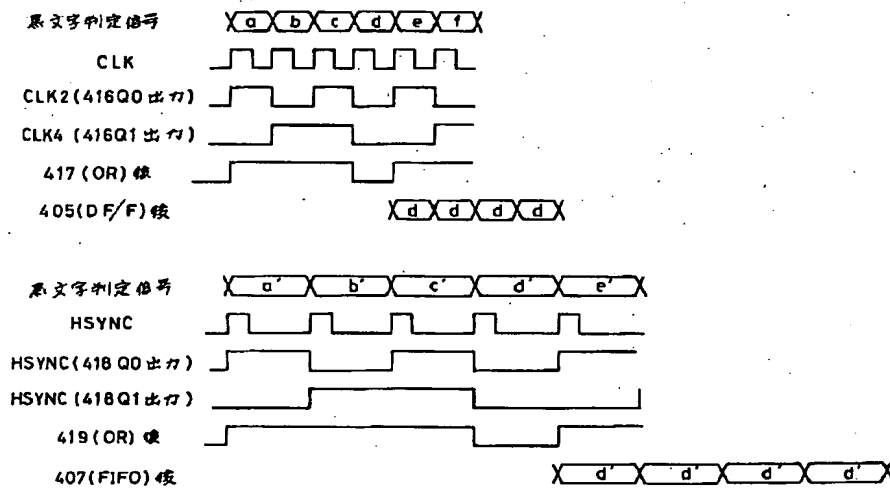
【図8】



【図12】



【図11】



【図10】

